



# KOLLOQUIUM

Institut für Elektrotechnik, Elektronik und Informationstechnik

## Formale Hardwareverifikation mit strukturellen Methoden

**Dr.-Ing. Dominik Stoffel**

Universität Kaiserslautern

**Donnerstag, der 22.01.2004, 17<sup>15</sup> Uhr**

Cauerstraße 7/9, Hörsaal H5

**Diskussionsleitung: Prof. Dr.-Ing. W. H. Glauert**

Beim Entwurf integrierter Schaltungen nehmen die Kosten für die Validierung mit etwa 70-80 Prozent den Löwenanteil der gesamten Entwurfskosten ein und sind damit hauptverantwortlich für die viel beklagte Produktivitätslücke ("design gap"). Die herkömmlichen Verifikationsmethoden basierend auf Simulation oder Emulation sind wegen der zunehmenden Komplexität der betrachteten Systeme nicht mehr in der Lage, innerhalb tragbarer Zeitaufwände akzeptable Qualitätsniveaus sicher zu stellen.

Zunehmend halten daher formale Verifikationstechniken Einzug in die industrielle Praxis. Werkzeuge zur Überprüfung der Korrektheit der Implementierung digitaler Systeme sind dank großer Fortschritte in diesem Gebiet mittlerweile in der Lage, große Entwürfe in kurzer Zeit zu verifizieren. So genannte Equivalence Checker, Werkzeuge für den funktionalen Äquivalenzvergleich, sind fester Bestandteil moderner Entwurfsabläufe. Allerdings gibt es immer noch Bereiche, in denen die heutigen Verfahren große Schwierigkeiten haben und in denen noch intensiver Forschungsbedarf besteht. Hierzu gehört die Datenpfadverifikation sowie die Verifikation sequenzieller Transformationen.

In diesem Vortrag beschäftigen wir uns mit dem Äquivalenzvergleich für sequenzielle Systeme. Es wird ein neues Verfahren zur Verifikation von Schaltungen nach sequenziellen Optimierungen vorgestellt. Das Verfahren basiert auf einer "strukturellen" Automatentraversierung und erlaubt, gezielt strukturelle Eigenschaften der untersuchten Schaltungen auszunutzen. Damit lassen sich erstmals größere Schaltungen nach Logikoptimierung mit Retiming oder Pipelining formal verifizieren, was mit den bisherigen Verfahren nicht möglich war.