



# KOLLOQUIUM

Institut für Elektrotechnik, Elektronik und Informationstechnik

## **Verlustleistungsreduktion von synthetisierbaren Registerfiles durch modifiziertes Clock-Gating**

**Prof. Dr.-Ing. Sven Simon**  
Hochschule Bremen

**Donnerstag, der 08.01.2004, 17<sup>15</sup> Uhr**  
Cauerstraße 7/9, Hörsaal H5

**Diskussionsleitung: Prof. Dr.-Ing. W. H. Glauert**

Die Verlustleistung von integrierten Schaltungen wird zunehmend zu einem kritischen Entwurfsaspekt aufgrund der begrenzten elektrischen Energie in mobilen Systemen bzw. aufgrund der Kosten für die Wärmeabfuhr (aufwendige Kühlung, Gehäuse). Gleichzeitig ist die Komplexität der ICs (gemessen an der Anzahl der Logik-Transistoren pro IC) über die letzten 20 Jahre exponentiell gestiegen (ITRS Roadmap, Moore'sches Gesetz). Diese Komplexitäts-Zunahme führte zu einem automatisierten, bibliotheksbasierten Entwurfsablauf, der auch als Semi-Custom Design Flow bezeichnet wird. Methoden zur Reduktion der Verlustleistung sind somit industriell einsetzbar, wenn sie in kommerziellen Semi-Custom Design Flows anwendbar sind.

Ein Standard-Verfahren zur Verlustleistungsreduktion, das in modernen Semi-Custom Design Flows integriert ist, ist das sogenannte Clock-Gating. Hierbei wird während der Schaltungs-Synthese eine spezielle Clock-Gating-Zelle aus der Semi-Custom Bibliothek zur Abschaltung des Taktsignals einer Teilschaltung automatisch eingesetzt.

In der vorgestellten Arbeit wird untersucht, wie Clock-Gating als Register-Adressierungs-Verfahren für Registerfiles, z.B. von synthetisierbaren Prozessor-Cores, DSPs oder anwendungsspezifischen Prozessoren (ASIPs) eingesetzt werden kann. Es wird gezeigt, dass ein gegenüber dem Standard-Clock-Gating modifiziertes Verfahren zur Adressierung von Registerfiles eine zusätzliche Reduktion der Verlustleistung ermöglicht. Die Verlustleistungseinsparungen hängen hierbei von der Schaltaktivität des Datenbusses ab (30% bis 50% Einsparung) und nehmen mit steigender Schaltaktivität zu. Das vorgestellte Verfahren ist in einem kommerziellen Semi-Custom Design Flow einsetzbar.