KOLLOQUIUM

Institut für Elektrotechnik, Elektronik und Informationstechnik

Ansätze zur formalen Verifikation analoger Schaltungen

Prof. Dr.-Ing. Erich Barke
EDA Centrum, Hannover

Donnerstag, der 20.11.2003, 17^{15} Uhr
Cauerstraße 7/9, Hörsaal H5

Diskussionsleitung: Prof. Dr.-Ing. Dr.-Ing. habil. R. Weigel

Für analoge Schaltungsblöcke, die in der Regel zwar nur 20% der Chipfläche aber etwa 80% der Entwurfszeit einer Mixed-Signal-Schaltung einnehmen, ist die Entwicklung innovativer Verfahren des rechnergestützten Schaltungsentwurfs dringend erforderlich. Dazu zählen im analogen Schaltungsentwurf insbesondere fortschrittliche Validierungsverfahren

Im Gegensatz zur herkömmlichen Simulation sind Verfahren zur formalen Verifikation in der Lage, die Korrektheit eines Entwurfs zu beweisen. Im Vortrag werden zunächst zwei Verfahren zum Equivalence-Checking analoger Schaltungen vorgestellt. Sie behandeln die Schaltungsklassen linear dynamisch und nichtlinear dynamisch. Das Verfahren für die erste der beiden Klassen wendet intervallarithmetische Methoden auf symbolische Algebro-Differentialgleichungssysteme an und ermöglicht damit eine formale Verifikation unter Berücksichtigung von Toleranzen und Spezifikationsbedingungen. Das Verfahren für nichtlineare dynamische Schaltungen stellt für zwei Systeme je eine nichtlineare kanonische Zustandsraumrepräsentation durch numerische Transformation des erweiterten Zustandsraums auf. Diese Repräsentationen werden gegeneinander verglichen.

Ein weiterer Ansatz zeigt erstmalig, dass es möglich ist, grundsätzlich bekannte verfahren aus dem Bereich des Model-Checkings auf nichtlineare analoge Schaltungen zu übertragen. Erste experimentelle Ergebnisse zu diesem Verfahren schließen den Vortrag ab.